

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-247384
 (43)Date of publication of application : 14.09.1998

(51)Int. Cl. G11C 11/406
 G11C 11/407

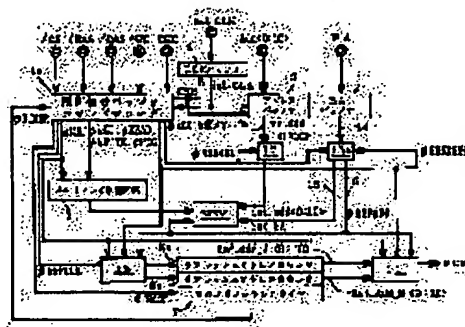
(21)Application number : 09-047910 (71)Applicant : MITSUBISHI ELECTRIC CORP.
 (22)Date of filing : 03.03.1997 (72)Inventor : ARAKI TAKESHI
 IWAMOTO HISASHI
 KONISHI YASUHIRO

(54) SYNCHRONIZING TYPE SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a SDRAM that can access data even during refresh operation.

SOLUTION: When a bank refresh signal ϕ BANKREF is activated, refresh address counters 6a, 6b specified by a refresh bank setting signal ϕ REFADD are selected in switches 11, 12. An internal bank address int. BA controls the switch 12 as a refresh bank setting signal ϕ REFADD, the refresh address counter 6a (or 6b) of a bank specified by the internal bank address int. BA performs counting operation by a refresh clock ϕ REFCLK. Also updated one out of refresh address Ref. Add A <0:10> and Ref. Add B <0:10> is outputted by the switch 11.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C); 1998, 2000 Japan Patent Office

【特許請求の範囲】

【請求項1】 少なくとも一つのバンクを含む複数のバンク群から構成されるメモリアレイを備える同期型半導体記憶装置であって、

(a)前記複数のバンク群の各々に対応したリフレッシュアドレスカウンタと、

(b)リフレッシュ動作を指定する場合に活性化される第1の信号と、前記リフレッシュ動作に含まれる特殊リフレッシュ動作を指定する場合に活性化される第2の信号とを入力し、

(b-1)前記第2の信号が活性化していない場合には前記第1の信号が活性化する度に接続関係を異ならせ、

(b-2)前記第2の信号が活性化している場合には外部から前記複数のバンク群の一つを指定するバンクアドレスに応じて前記接続関係を決定することにより、前記リフレッシュアドレスカウンタのいずれか一方にリフレッシュクロックを与える第1のスイッチと、

(c)前記リフレッシュクロックが与えられた方の前記リフレッシュアドレスカウンタの出力を、前記メモリアレイをリフレッシュするリフレッシュアドレスとして採用する第2のスイッチとを備える同期型半導体記憶装置。

【請求項2】 (d)前記メモリアレイの入出力動作を規定するモードセット動作の際に、前記バンクアドレスをラッチし、前記第2の信号が活性化している場合にそのラッチする内容を出力するラッチ回路を更に備える、請求項1記載の同期型半導体記憶装置。

【請求項3】 (d)前記メモリアレイにプリチャージを施す際に指定される方の前記バンクについての前記バンクアドレスをラッチし、前記第2の信号が活性化している場合にそのラッチする内容を出力するラッチ回路を更に備える、請求項1記載の同期型半導体記憶装置。

【請求項4】 前記複数のバンク群の各々は複数の前記バンクから構成され、前記バンクアドレスは前記バンクを示す複数ビットの最上位ビットである、請求項1記載の同期型半導体記憶装置。

【請求項5】 前記特殊リフレッシュ動作において、リフレッシュ対象となっている前記バンク群に対してアクセスが要求された場合に、これを無視させるビジー信号を生成する論理回路を更に備える、請求項1乃至4のいずれか一つに記載の同期型半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体記憶装置に関し、特に同期型ダイナミックRAM（以下「SDRAM」）のリフレッシュ技術に関するものである。

【0002】

【従来の技術】主記憶として用いられるダイナミックRAM（以下「DRAM」）は高速化されてきているものの、その動作速度は依然としてマイクロプロセッサ（以

下「MPU」）の動作速度に追従することができない。このため、DRAMのアクセスタイムおよびサイクルタイムがボトルネックとなり、システム全体の性能が低下するということがよくいわれている。そこで近年、高速のMPUに用いる主記憶として、クロック信号に同期して動作するSDRAMが提案されている。

【0003】図12はSDRAMの標準的な動作を例示するタイミングチャートである。8個のデータ入出力端子DQのそれぞれについて、連続して8ビット（1バイト）のデータがシステムのクロック信号に同期して入出力される。よってSDRAMに対して $8 \times 8 = 64$ ビットのデータの書き込み及び読み出しが高速に行われる。

【0004】システムクロックである外部からのクロック信号CLKの立ち上がりエッジで外部からの制御信号であるチップセレクト信号/CS、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CAS、ライトイネーブル信号/WE、アドレス信号Add、バンクアドレス信号BA等がSDRAMへ取り込まれる。

【0005】アドレス信号Addは行アドレス信号Xと列アドレス信号Yとが時分割で多重化されて構成される。クロック信号CLKの立ち上がりエッジにおいて、チップセレクト信号/CS及びロウアドレスストローブ信号/RASが活性状態の“L”、コラムアドレスストローブ信号/CAS及びライトイネーブル信号/WEが非活性状態の“H”であれば、そのときのアドレス信号Addが行アドレス信号Xとして把握される。

【0006】その後のクロック信号CLKの立ち上がりエッジにおいて、チップセレクト信号/CS及びコラムアドレスストローブ信号/CASが活性状態の“L”にあり、ロウアドレスストローブ信号/RASが非活性状態の“H”であれば、そのときのアドレス信号Addが列アドレスYとして把握される。そしてこの時ライトイネーブル信号/WEが“L”であれば書き込みが、“H”であれば読み出しが行われる。

【0007】図12に即して言えば、時刻t11においてクロック信号CLKが立ち上がる際には行アドレス信号Xaが、時刻t12においてクロック信号CLKが立ち上がる際には列アドレス信号Ybが、それぞれアドレス信号AddとしてSDRAMへ取り込まれる。

【0008】行アドレス信号Xa及び列アドレス信号Ybに従ってSDRAM内において行および列の選択動作が実施され、CASレイテンシ（図12においては3クロックサイクル）が経過して時刻t13を迎える。時刻t12におけるライトイネーブル信号/WEが“H”であったので、いずれのデータ入出力端子DQについても、時刻t13以降のクロック信号CLKの立ち上がりに対応して8ビットデータ（例えばb0～b7）が順次に読み出される。このとき連続して読み出されるビット数をバースト長と呼び、図12においてはバースト長＝

8である。

【0009】時刻 t_{14} においてプリチャージが行われ、時刻 t_{15} 、 t_{16} においてそれぞれ行アドレス信号 X_c 及び列アドレス信号 Y_d が取り込まれる。時刻 t_{16} においてはライトイネーブル信号 $/WE$ が“L”であったので、時刻 t_{16} 以降にデータ入出力端子 DQ に与えられるデータ $d_0 \sim d_7$ が、クロック信号 CLK の立ち上がりに対応して順次書き込みデータとして採用される。

【0010】SDRAMには、更に複数バンクという概念が導入されている。これは、内部のメモリアレイを複数のバンクに分割して考え、それぞれのバンクの活性化（ワード線を立ち上げ、センスアンプを動作させる）、プリチャージ等をほぼ独立に行うという概念である。

【0011】例えば図12に示されたタイミングチャートは2つのバンクから構成されるSDRAMのうちの一方についての動作を示している。具体的には行アドレス、列アドレスの指定、プリチャージが一方のバンクに対して行われることが、時刻 t_{11} 、 t_{12} 、 t_{14} 、 t_{15} 、 t_{16} のそれぞれにおいてバンクアドレス信号 BA が“L”を採ることによって示されている。

【0012】一般にSDRAMを含むDRAMに対しては、アクセス（リード／ライト）を行う前に必ずプリチャージを行わなければならない。これがサイクルタイムをアクセスタイムのほぼ2倍にしている原因である。ところが、DRAM内部を複数のバンクで構成すると、一方のバンク $Bank_0$ でアクセスしている間に他方のバンク $Bank_1$ をプリチャージすることができる。よって、バンク $Bank_1$ の為にプリチャージ時間を別途に設けることなく、バンク $Bank_1$ へのアクセスを行うことができる。

【0013】このようにして、複数のバンクに対して交互にアクセス／プリチャージを行うことにより、プリチャージによるロスタイムを削除することが可能になる。これは、従来DRAMの外部で行われていたインタリーブという方法を、DRAM内部に取り込んだと言える。

【0014】さて、SDRAMにおけるリフレッシュ方式には、オートリフレッシュとセルフリフレッシュの2つのモードがある。オートリフレッシュでは、内部リフレッシュカウンタでリフレッシュアドレスを発生し、ワード線を立ち上げ、センスアンプを活性化させ、その後自動的にプリチャージ状態にする。一方、セルフリフレッシュとは、内部のタイマーにより、一定間隔ごとに前述のオートリフレッシュと同様の動作を自動的に繰り返して行うものである。

【0015】図13はSDRAMのオートリフレッシュの様子を示すタイミングチャートである。クロック信号 CLK の立ち上がりの際に $/CS = “L”$ 、 $/RAS =$

“L”、 $/CAS = “L”$ 、 $/WE = “H”$ 、クロックイネーブル信号 CKE が“H”を採ればオートリフレッシュが行われる。かかるコマンド（以下「オートリフレッシュコマンド」）を1回入れるだけで約100nsの間に自動的に1行のメモリセルがリフレッシュされる。4096行に配列されたメモリセルをリフレッシュするためには通常4096回オートリフレッシュを繰り返せばよい。

【0016】図14はSDRAMのセルフリフレッシュの様子を示すタイミングチャートである。クロック信号 CLK の立ち上がりの際に $/CS = “L”$ 、 $/RAS = “L”$ 、 $/CAS = “L”$ 、 $/WE = “H”$ 、 $CKE = “L”$ ならばセルフリフレッシュが起動される。セルフリフレッシュは起動されてからクロックイネーブル信号 CKE が“L”を採り続ける限り、内部リフレッシュ動作を継続する。

【0017】図15はSDRAMの制御部の構成の概略を示すブロック図である。クロックバッファ2は外部から供給されるクロック信号 $ext. CLK$ をバッファリングして内部クロック $int. CLK$ を得て、これを各回路に供給する。

【0018】制御信号バッファ及びコマンドデコードを備える回路101は、制御信号の組み合わせに応じて動作信号 $\phi NORMAL$ 、リフレッシュ信号 ϕREF 、活性化信号 ϕACT 等を出力する。メモリアレイ制御回路はリフレッシュ信号 ϕREF 及び活性化信号 ϕACT を受け、図示されないメモリアレイを制御する。

【0019】一方、外部から入力されたアドレス信号 $Add < 0 : 10 >$ 及びバンクアドレス信号 BA は、それぞれアドレスバッファ3及びバンクアドレスバッファ4によりバッファリングされ、内部クロック $int. CLK$ に同期した内部アドレス信号 $int. Add < 0 : 10 >$ 及び内部バンクアドレス $int. BA$ として出力される。

【0020】スイッチ121、122のいずれもが、通常動作時に活性化する動作信号 $\phi NORMAL$ によって制御され、内部アドレス信号 $int. A < 0 : 10 >$ 及び内部バンクアドレス $int. BA$ が図示されないメモリアレイへと出力される。

【0021】リフレッシュ時にはリフレッシュ信号 ϕREF が活性化し、その度にリフレッシュアドレスカウンタ6の出力は更新され、スイッチ123、124を介してリフレッシュアドレス信号 $Ref_Add < 0 : 11 >$ として得られる。リフレッシュアドレス信号 $Ref_Add < 0 : 11 >$ は行アドレスであるリフレッシュ行信号 $Ref_Add < 0 : 10 >$ と、バンクを指定するリフレッシュバンク信号 $Ref_Add < 11 >$ とから構成される。

【0022】図16はリフレッシュアドレスカウンタ6の構成を示すブロック図である。リフレッシュクロック

φREFCLKの遷移に応じてリフレッシュバンク信号Ref_Add<11>がバンクアドレスカウンタにおいてカウントされ、その出力がアドレスカウンタによって逐次1/2ずつ分周されてリフレッシュ行信号Ref_Add<0>, Ref_Add<1>, ..., Ref_Add<10>が順次で得られて行く。

【0023】セルフリフレッシュ時にはリフレッシュ信号φREFのみならずセルフリフレッシュ信号φSREFも活性化し、セルフリフレッシュタイマ7により継続信号φTIMERが発生される。

【0024】

【発明が解決しようとする課題】図17は2つのバンクBank0, Bank1で構成されたSDRAMにおけるセルフリフレッシュの様子を示す概念図である。リフレッシュバンク信号Ref_Add<11>によって指定されたバンク内のリフレッシュ行信号Ref_Add<0:10>によって指定された行がリフレッシュの対象となる。

【0025】図16からわかるように、リフレッシュアドレス信号Ref_Add<0:11>はまずリフレッシュバンク信号Ref_Add<11>から更新されるので、2つのバンクが交互に活性化され、リフレッシュされる。

【0026】このように、2個のバンクで構成されるSDRAMにおいても、リフレッシュアドレスカウンタ6は両バンクを交互に活性化するようにリフレッシュアドレス信号Ref_Add<0:11>を発生しているため、リフレッシュ動作の期間中はそれぞれのバンクを独立に動作させることができない。つまりリフレッシュ動作の期間中にデータのアクセスができないという問題は解決されていない。よってSDRAMを含むDRAMを用いたシステムのパフォーマンスは、リフレッシュ動作のいらぬSRAMを用いた場合に比べると低くなるという問題点が残っていた。

【0027】本発明は、上記のような問題を解決するためになされたものであり、リフレッシュ動作中にもデータのアクセスが可能となるSDRAMを提供することを目的とする。

【0028】

【課題を解決するための手段】この発明のうち請求項1にかかるものは少なくとも一つのバンクを含む複数のバンク群から構成されるメモリアレイを備える同期型半導体記憶装置であって、(a)前記複数のバンク群の各々に対応したリフレッシュアドレスカウンタと、(b)リフレッシュ動作を指定する場合に活性化される第1の信号と、前記リフレッシュ動作に含まれる特殊リフレッシュ動作を指定する場合に活性化される第2の信号とを入力し、(b-1)前記第2の信号が活性化していない場合には前記第1の信号が活性化する度に接続関係を異ならせ、(b-2)前記第2の信号が活性化している場合には外

部から前記複数のバンク群の一つを指定するバンクアドレスに応じて前記接続関係を決定することにより、前記リフレッシュアドレスカウンタのいずれか一方にリフレッシュクロックを与える第1のスイッチと、(c)前記リフレッシュクロックが与えられた方の前記リフレッシュアドレスカウンタの出力を、前記メモリアレイをリフレッシュするリフレッシュアドレスとして採用する第2のスイッチとを備える。

【0029】この発明のうち請求項2にかかるものは、請求項1記載の同期型半導体記憶装置であって、(d)前記メモリアレイの入出力動作を規定するモードセット動作の際に、前記バンクアドレスをラッチし、前記第2の信号が活性化している場合にそのラッチする内容を出力するラッチ回路を更に備える。

【0030】この発明のうち請求項3にかかるものは、請求項1記載の同期型半導体記憶装置であって、(d)前記メモリアレイにプリチャージを施す際に指定される方の前記バンクについての前記バンクアドレスをラッチし、前記第2の信号が活性化している場合にそのラッチする内容を出力するラッチ回路を更に備える。

【0031】この発明のうち請求項4にかかるものは、請求項1記載の同期型半導体記憶装置であって、前記複数のバンク群の各々は複数の前記バンクから構成され、前記バンクアドレスは前記バンクを示す複数ビットの最上位ビットである。

【0032】この発明のうち請求項5にかかるものは、請求項1乃至4のいずれか一つに記載の同期型半導体記憶装置であって、前記特殊リフレッシュ動作において、リフレッシュ対象となっている前記バンク群に対してアクセスが要求された場合に、これを無視させるビジー信号を生成する論理回路を更に備える。

【0033】

【発明の実施の形態】

実施の形態1. 図1は本発明の実施の形態1にかかるSDRAMの制御部の構成を示すブロック図である。ここではSDRAMは2つのバンクで構成されるメモリアレイMEMを備えている。そして前述のように、それぞれのバンクを独立に動作させることができる。バンクはそれぞれ例えば $2^{11}=2048$ 個の行から構成される。

【0034】クロックバッファ2は外部から供給されるクロック信号ext. CLKをバッファリングして内部クロックint. CLKを出力する。アドレスバッファ3は外部から入力されたアドレス信号Add<0:10>を内部クロックint. CLKに基づいてバッファリングし、内部アドレス信号int. Add<0:10>として出力する。バンクアドレスバッファ4は外部から入力されたバンクアドレス信号BAを内部クロックint. CLKに基づいてバッファリングし、内部バンクアドレスint. BAとして出力する。

【0035】回路1aは制御信号バッファ及びコマンド

デコーダを含んでおり、内部クロック int. CLK に基づいて動作する。回路1aはチップセレクト信号/ CS 、ロウアドレスストロブ信号/ RAS 、コラムアドレスストロブ信号/ CAS 、ライトイネーブル信号/ WE 、クロックイネーブル信号 CKE を外部から、アドレス信号 $\text{Add} < 7 : 10 >$ をアドレスバッファ3から、それぞれ入力する。回路1aはこれらの信号に基づいてリフレッシュ信号 ϕREF 、リフレッシュクロック ϕREFCLK 、セルフリフレッシュ信号 ϕSREF 、活性化信号 ϕACT 、読み出し信号 ϕREAD 、書き込み信号 ϕWRITE 、プリチャージ信号 ϕPCG 、動作信号 ϕNORMAL 、バンクリフレッシュ信号 $\phi\text{BANKREF}$ を生成する。

【0036】図2は回路1aの内部構成を例示する回路図である。チップセレクト信号/ CS 、ロウアドレスストロブ信号/ RAS 、コラムアドレスストロブ信号/ CAS 、ライトイネーブル信号/ WE 、クロックイネーブル信号 CKE は、それぞれラッチ $\text{L1} \sim \text{L5}$ によって内部クロック int. CLK に基づいてバッファリングされる。

【0037】活性化信号 ϕACT は/ $\text{CS} = \text{"L"}$ 、/ $\text{RAS} = \text{"L"}$ 、/ $\text{CAS} = \text{"H"}$ 、/ $\text{WE} = \text{"H"}$ のときに“H”を採って活性化する。書き込み信号 ϕWRITE は/ $\text{CS} = \text{"L"}$ 、/ $\text{RAS} = \text{"H"}$ 、/ $\text{CAS} = \text{"L"}$ 、/ $\text{WE} = \text{"L"}$ のときに“H”を採って活性化する。読み出し信号 ϕREAD は/ $\text{CS} = \text{"L"}$ 、/ $\text{RAS} = \text{"H"}$ 、/ $\text{CAS} = \text{"L"}$ 、/ $\text{WE} = \text{"H"}$ のときに“H”を採って活性化する。プリチャージ信号 ϕPCG は/ $\text{CS} = \text{"L"}$ 、/ $\text{RAS} = \text{"L"}$ 、/ $\text{CAS} = \text{"H"}$ 、/ $\text{WE} = \text{"L"}$ のときに“H”を採って活性化する。活性化信号 ϕACT 、書き込み信号 ϕWRITE 、読み出し信号 ϕREAD 、プリチャージ信号 ϕPCG の少なくともいずれか一つが活性化していれば、動作信号 ϕNORMAL は“H”を採って活性化する。但し、プリチャージバンク指定信号 $\phi\text{PCGBANK}$ が“L”を採って非活性であることが前提である。

【0038】このプリチャージバンク指定信号 $\phi\text{PCGBANK}$ は、/ $\text{CS} = \text{"L"}$ 、/ $\text{RAS} = \text{"L"}$ 、/ $\text{CAS} = \text{"H"}$ 、/ $\text{WE} = \text{"L"}$ 、そしてアドレス信号 $\text{Add} < 10 >$ が“L”のときに“H”を採って活性化する。

【0039】バンクリフレッシュ信号 $\phi\text{BANKREF}$ は、アドレス信号 $\text{Add} < 7 : 10 >$ が全て“H”であり、かつモード信号 ϕMODE が“H”の時に“H”を採って活性化する。ここでモード信号 ϕMODE はチップセレクト信号/ CS 、ロウアドレスストロブ信号/ RAS 、コラムアドレスストロブ信号/ CAS 、ライトイネーブル信号/ WE の全てが“L”を採って活性化した場合にのみ“H”を採って活性化する。

【0040】また、リフレッシュ信号 ϕREF は、従来

の技術においては、/ $\text{CS} = \text{"L"}$ 、/ $\text{RAS} = \text{"L"}$ 、/ $\text{CAS} = \text{"L"}$ 、/ $\text{WE} = \text{"H"}$ の場合に“H”を採って活性化したが、本実施の形態においては更にこれら制御信号の値に拘らず、バンクリフレッシュ信号 $\phi\text{BANKREF}$ が“H”を採れば活性化する。

【0041】また、セルフリフレッシュ信号 ϕSREF は、従来の技術においては、/ $\text{CS} = \text{"L"}$ 、/ $\text{RAS} = \text{"L"}$ 、/ $\text{CAS} = \text{"L"}$ 、/ $\text{WE} = \text{"H"}$ の場合であって、かつクロックイネーブル信号 CKE が“L”を採る場合にのみ“H”を採って活性化した。しかし、本実施の形態においては、クロックイネーブル信号 CKE が“L”を採り、バンクリフレッシュ信号 $\phi\text{BANKREF}$ も“H”を採った場合も活性化する。

【0042】なお、リフレッシュクロック ϕREFCLK はリフレッシュ信号 ϕREF を遅延回路Dで遅延させて得られる。

【0043】図1に戻り、メモリアレイ制御回路5は活性化信号 ϕACT 、書き込み信号 ϕWRITE 、読み出し信号 ϕREAD 、プリチャージ信号 ϕPCG を入力し、これらに基づいてメモリアレイ MEM を制御する。

【0044】動作信号 ϕNORMAL が活性化しているとき、即ちリフレッシュでない通常の動作が行われる場合には、アドレスバッファ3から得られた内部アドレス信号 $\text{int. Add} < 0 : 10 >$ がスイッチ17を介してメモリアレイ MEM へと与えられる。また、バンクアドレスバッファ4からはノード14へ内部バンクアドレス int. BA が与えられるが、動作信号 ϕNORMAL が活性化しているときにはスイッチ13aがノード14、15を接続するので、内部バンクアドレス int. BA はメモリアレイ MEM へと与えられる。

【0045】一方、動作信号 ϕNORMAL が活性化せず、バンクリフレッシュ信号 $\phi\text{BANKREF}$ が活性化した場合にはノード14、16がスイッチ13aによって互いに接続され、内部バンクアドレス int. BA はリフレッシュバンク設定信号 ϕREFADD としてスイッチ13aから出力される。

【0046】スイッチ12にはリフレッシュ信号 ϕREF ならびにバンクリフレッシュ信号 $\phi\text{BANKREF}$ 及びリフレッシュバンク設定信号 ϕREFADD が与えられ、後述する制御によってリフレッシュクロック ϕREFCLK がリフレッシュアドレスカウンタ6a、6bのいずれかに与えられる。またスイッチ11にもリフレッシュ信号 ϕREF ならびにバンクリフレッシュ信号 $\phi\text{BANKREF}$ 及びリフレッシュバンク設定信号 ϕREFADD が与えられ、リフレッシュアドレスカウンタ6aの出力たるリフレッシュアドレス $\text{Ref. Add_A} < 0 : 10 >$ 及びリフレッシュアドレスカウンタ6bの出力たるリフレッシュアドレス $\text{Ref. Add_B} < 0 : 10 >$ のいずれかのうち、リフレッシュクロック ϕREFCLK が与えられた方のリフレッシュアドレスカウン

タに対応するものをメモリアレイMEMへ出力する。

【0047】本実施の形態ではこのようにリフレッシュアドレスカウンタを各バンクごとに設けて、一方のバンクをリフレッシュしている間にもう一方のバンクのデータへのアクセスを可能にすることを意図している。

【0048】セルフリフレッシュタイマ7にはセルフリフレッシュ信号φSREFが与えられ、セルフリフレッシュ信号φSREFの活性化後、所定時間が経過して継続信号φTIMERが活性化する。継続信号φTIMERは回路1aに与えられ、継続信号φTIMERが活性化することでリフレッシュ信号φREF、セルフリフレッシュ信号φSREFが活性化する。これはクロックイネーブル信号CKEが“L”である限り継続する。

【0049】まず、従来と同様のオートリフレッシュを行う場合には、図13に示された時刻t17における値を呈する制御信号によってオートリフレッシュコマンドを設定する。即ち/CS=“L”，/RAS=“L”，/CAS=“L”，/WE=“H”，CKE=“H”である。図2から明らかにこの場合にはリフレッシュ信号φREFが“H”になり、従って所定の時間が経過してリフレッシュクロックφREFCLKも“H”となる。

【0050】また図2から明らかにモード信号φMODEが“L”であるのでバンクリフレッシュ信号φBANKREFも“L”であり、また動作信号φNORMALも“L”であるので、スイッチ17、13のいずれも出力は行われず、またセルフリフレッシュ信号φSREFも非活性である。

【0051】一方、リフレッシュ信号φREFはスイッチ11、12に入力される。バンクリフレッシュ信号φBANKREFが非活性の場合には、スイッチ12はリフレッシュ信号φREFが活性化する毎にリフレッシュクロックφREFCLKをリフレッシュアドレスカウンタ6a、6bへと交互に入力させ、スイッチ11はリフレッシュ信号φREFが活性化する毎にリフレッシュアドレスカウンタ6a、6bの出力を選択的に出力する。そして、スイッチ11、12によって選択されるリフレッシュアドレスカウンタ6a、6bは一致する。

【0052】つまりリフレッシュ信号φREFが活性化する毎にバンクBank0、Bank1が交互に選択され、一方のリフレッシュアドレスカウンタにカウントを行わせる。リフレッシュアドレスカウンタ6a、6bのいずれにもバンクアドレスカウンタが含まれておらず、アドレスカウンタに直接にリフレッシュクロックφREFCLKが入力されてカウントアップされる。

【0053】このようにして更新されたリフレッシュアドレスRef. Add_A<0:10>あるいはRef. Add_B<0:10>は、内部アドレス信号int. Addや内部バンクアドレスint. BAの代わりにメモリアレイMEMへと与えられる。しかも、リフレッシュバンク設定信号φREFADDもメモリアレイMEM

EMへと与えられるので、バンクBank0、Bank1において、リフレッシュ時の行アドレスはそれぞれリフレッシュアドレスRef. Add_A<0:10>、Ref. Add_B<0:10>によって設定される。そしてリフレッシュアドレスで指定された1行のメモリセルがリフレッシュされる。

【0054】リフレッシュクロックφREFCLKは、オートリフレッシュコマンドが入力されることにバンクBank0、Bank1に対応するリフレッシュアドレスカウンタ6a、6bへと交互に入力する。従って、バンクBank0、Bank1が交互にリフレッシュされることとなり、図17で示されるような従来のオートリフレッシュを実現することができる。

【0055】更に、従来と同様のセルフリフレッシュを行う場合には、図14に示された時刻t19における値を呈する制御信号によってセルフリフレッシュコマンドを設定する。即ち/CS=“L”，/RAS=“L”，/CAS=“L”，/WE=“H”，CKE=“L”である。この場合にはリフレッシュ信号φREFのみならずセルフリフレッシュ信号φSREFも活性化する。従って、オートリフレッシュの場合と同様に一方のバンクの1行のメモリセルがリフレッシュされると共にセルフリフレッシュタイマ7が一定時間経過後に継続信号φTIMERを活性化する。

【0056】この継続信号φTIMERによりリフレッシュ信号φREF及びセルフリフレッシュ信号φSREFの活性化が継続し、次の1行、すなわちもう一方のバンクの1行のメモリセルのリフレッシュが行われる。このような動作を繰り返して、セルフリフレッシュ終了のコマンド(CKEを“H”にする)が入力されるまでバンクBank0、Bank1が交互にリフレッシュされる。

【0057】次に本発明に特有の動作、即ち1バンクのみをリフレッシュする動作について説明する。1バンクのみをオートリフレッシュするコマンド(以下「1バンクオートリフレッシュコマンド」)は、例えば以下のように制御信号を設定することで与えられる。即ち、/CS=“L”，/RAS=“L”，/CAS=“L”，/WE=“L”，CKE=“H”，Add<7>~<10>=“H”である。このときモード信号φMODEが活性化するので、バンクリフレッシュ信号φBANKREFが活性化し、/WE=“L”であるにも拘わらずリフレッシュ信号φREFが、従ってリフレッシュクロックφREFCLKも活性化する。

【0058】スイッチ13aはバンクリフレッシュ信号φBANKREFが活性化された場合にはノード14、16を接続する。オートリフレッシュコマンドにおける制御信号の値の設定は、図13の時刻t17で示される状態と同様に1サイクルのみ行われるので、バンクリフレッシュ信号φBANKREFはオートリフレッシュコ

マンド入力時の1サイクル期間のみ活性化される。

【0059】スイッチ11、12にはバンクリフレッシュ信号φBANKREFも入力され、これが活性化している場合にはリフレッシュバンク設定信号φREFADDで指定されるリフレッシュアドレスカウンタ6a、6bが選択される。

【0060】したがって、1バンクオートリフレッシュコマンドが入力された場合、内部バンクアドレスint、BAがリフレッシュバンク設定信号φREFADDとしてスイッチ12を制御し、内部バンクアドレスint、BAによって指定されるバンクのリフレッシュアドレスカウンタ6a（あるいは6b）がリフレッシュクロックφREFCLKによってカウント動作を行う。またリフレッシュアドレスRef. Add_A<0:10>及びRef. Add_B<0:10>のうち、更新される方がスイッチ11によって出力される。

【0061】このようにしてリフレッシュアドレスで指定された1行のメモリセルがリフレッシュされる。よってオートリフレッシュコマンドが入力される毎に2つのバンクBank0、Bank1を交互にリフレッシュするのではなく、リフレッシュさせたいバンクをバンクリフレッシュ信号φBANKREFで指定することができる。

【0062】また、1バンクのみをセルフリフレッシュするコマンド（以下「1バンクセルフリフレッシュコマンド」）は、例えば以下のように制御信号を設定することで与えられる。即ち、/CS="L"、/RAS="L"、/CAS="L"、/WE="L"、CKE="L"、Add<7:10>="H"である。この場合には1バンクのみのオートリフレッシュの場合に活性化するリフレッシュ信号φREF、リフレッシュクロックφREFCLK、バンクリフレッシュ信号φBANKREFに加えて、CKE="L"であるので/WE="L"にも拘わらずセルフリフレッシュ信号φSREFが活性化する。

【0063】従って、1バンクのみをオートリフレッシュする場合と同じようにして、指定したバンクの1行のメモリセルがリフレッシュされると共に、セルフリフレッシュ信号φSREFがセルフリフレッシュタイマ7に入力され、一定時間経過後に継続信号φTIMERが活性化する。セルフリフレッシュ終了のコマンド（CKEを"H"にする）が入力されるまで、1バンクセルフリフレッシュコマンド入力時のリフレッシュバンク設定信号φREFADDの値は有効である。従って、指定されたバンクについて、従来のセルフリフレッシュと同様に、セルフリフレッシュ終了のコマンドが入力されるまでリフレッシュすることができる。

【0064】図3は、一方のバンクのオートリフレッシュ動作中にもう一方のバンクのデータを読み出す場合を示すタイミングチャートである。時刻t1において、バ

ンクアドレスBAで指定されるバンクBank0のみに関してのオートリフレッシュコマンドが入力され、バンクBank0のみがリフレッシュ動作に入る。一方、時刻t2、t3においてバンクBank1が指定され、それぞれにおいて活性化信号φACT、読み出し信号φREADが活性化して、例えば3クロックサイクルのCASレイテンシが経過した後、時刻t4にバーストデータ（第2図においてはバースト長=4）が出力される。その後、時刻t5に次のオートリフレッシュコマンドを入力して、バンクBank0に対するリフレッシュ動作を開始することができる。

【0065】このように、バンクリフレッシュ信号φBANKREFという新たな信号を導入し、これに基づいて選択される複数のリフレッシュアドレスカウンタを設け、その各々が複数のバンクの各々に対応するので、あるバンクのリフレッシュ動作中に他のバンクのデータにアクセスが可能となるため、リフレッシュ動作を必要としないSRAMのような使い方が可能となる。

【0066】しかも、リフレッシュ信号φREFも併存させておくことで、従来のリフレッシュ動作をも実現することができる。

【0067】勿論、1バンクのみのリフレッシュを指定するためには他の信号の活性/非活性を利用することもできる。

【0068】実施の形態2。図4は本発明の実施の形態2にかかるSDRAMの制御部の構成を示すブロック図である。図1に示された実施の形態1にかかるSDRAMの制御部の構成との相違点は、回路1aが回路1bに、スイッチ13aがスイッチ13bに、それぞれ置換されたことである。

【0069】図5は、回路1aに追加されて回路1bを構成する回路を示す回路図であり、内部アドレス信号int、Add<7:10>及びモード信号φMODEを入力してモード設定信号φMODESETを出力する。勿論、実施の形態1に示された回路1aとは別個、に図5に示された回路をモードセット回路として設けても良い。

【0070】図2からわかるように、/CS=L、/RAS=L、/CAS=L、/WE=Lの時にモード信号φMODEが活性化する。図5に示された複数対のインバータの逆並列接続は内部アドレス信号int、Add<7:10>を保持し、NANDゲートがこれらの全てが"L"であることを受けてモード設定信号φMODESETが"H"に活性化する。そして例えばモード設定信号φMODESETを契機として内部アドレス信号int、Addの第0乃至第2ビット、第3ビット、第4乃至第6ビットが、それぞれバースト長、バーストシーケンス、CASレイテンシを設定する。

【0071】このようにしてバースト長、バーストシーケンス、CASレイテンシを設定するモードセットの際

に、1バンクのみのオートリフレッシュあるいは1バンクのみのセルフリフレッシュを行う際にどちらのバンクをリフレッシュするかを設定しておけば、これらのコマンドを入力する度にバンクアドレスBAを指定する必要がなくなる。つまり本実施の形態において開示される技術が指向するのは、実施の形態1の技術を更に改善するものであり、リフレッシュされるべきバンクを1バンクのみのリフレッシュコマンド（以下「1バンクリフレッシュコマンド」）を入力する時に指定するのではなく、あらかじめリフレッシュされるべきバンクを設定しておいて、1バンクのみのリフレッシュ動作中に他のバンクのデータへのアクセスを可能とするものである。

【0072】図6は、スイッチ13bの構成を示す回路図であり、スイッチ41及びラッチ回路42から構成されている。

【0073】スイッチ41は動作信号φNORMALが活性化されている場合にはノード14、15を互いに接続する。従って、この場合のスイッチ13bの動作は実施の形態1におけるスイッチ13aの動作と同じである。一方、モード設定信号φMODESETが活性化していればスイッチ41によってノード14、44が互いに接続される。ラッチ回路42はノード44に与えられた値をラッチして、バンクリフレッシュ信号φBANKREFの活性化を契機としてノード16に与える。

【0074】モードセットを指示するコマンド（以下「モードセットコマンド」）は以下のように制御信号を設定することで与えられる。即ち、 $\text{CS}=\text{L}$ 、 $\text{RAS}=\text{L}$ 、 $\text{CAS}=\text{L}$ 、 $\text{WE}=\text{L}$ である。これに従って回路1bにおいてモード信号φMODEが活性化する。この際に内部アドレス信号int. Add<7:10>の全てを“L”に設定する事によりモード設定信号φMODESETが活性化し、スイッチ41はノード44へと内部バンクアドレスint. BAを伝達する。

【0075】一方、モード設定信号φMODESETはモードセットコマンドが入力する1サイクル期間しか活性化されない。従ってラッチ回路42の機能により、一旦あるモードセットコマンド入力時に内部バンクアドレスint. BAを設定すれば、次にモードセットコマンドが与えられるまでその設定された値が保持される。

【0076】その後、通常のオートリフレッシュコマンドやセルフリフレッシュコマンドが入力された場合は、バンクリフレッシュ信号φBANKREFも“L”であり、また動作信号φNORMALも“L”であるのでスイッチ41及びラッチ42はいずれも機能せず、実施の形態1に示されるように動作する。

【0077】次に本発明に特有の動作、即ち1バンクのみのリフレッシュ動作について説明する。1バンクリフレッシュコマンドは例えば以下のように制御信号を設定することで与えられる。即ち、 $\text{CS}=\text{L}$ 、 $\text{RAS}=\text{L}$ 、 $\text{CAS}=\text{L}$ 、 $\text{WE}=\text{L}$ 、Ad

d<7>~Add<10>=“H”であり、オートリフレッシュの場合にはCKE=“H”、セルフリフレッシュの場合にはCKE=“L”に設定される。

【0078】実施の形態1の場合と同様に、回路1bがリフレッシュ信号φREF、リフレッシュクロックφREFCLK、バンクリフレッシュ信号φBANKREFを、特にセルフリフレッシュの場合には更にセルフリフレッシュ信号φSREFをも活性化させる。そしてバンクリフレッシュ信号φBANKREFが活性化するのでラッチ回路42にラッチされていたデータ、すなわち、モードセットコマンド入力時に設定されたバンクアドレスBAがリフレッシュバンク設定信号φREFADDとして出力する。

【0079】このようにして、実施の形態2では、実施の形態1と同じ効果を得ることができる上、1バンクのみのリフレッシュコマンドを入力する時に、毎回バンクアドレスBAを指定する必要はない。

【0080】実施の形態3。例えば、2つのバンクから構成されるSDRAMにおいては、どちらかのバンクのデータにアクセスし、もう一方のバンクはプリチャージされている状態にある場合がある。そこで一方のバンクを活性化している時に1バンクのみのリフレッシュコマンドを入力した場合、他方の活性化されていないバンク、つまりプリチャージされているバンクを選択してリフレッシュを行うようにすれば、バンクアドレスを指定する必要がなく、効率的にリフレッシュを行うことができる。

【0081】図7は本発明の実施の形態3にかかるSDRAMの制御部の構成を示すブロック図である。図1に示された実施の形態1にかかるSDRAMの制御部の構成との相違点は、スイッチ13aがスイッチ13cに置換されたことである。そして実施の形態3におけるSDRAMの制御方法は、実施の形態2のそれにおけるモード設定信号φMODESETによるスイッチ41の制御を、プリチャージバンク信号φPCGBANKによるスイッチの制御に変更したことにある。

【0082】図8はスイッチ13cの構成を示す回路図であり、スイッチ45及びラッチ回路46から構成されている。スイッチ45は動作信号φNORMALが活性化されている場合にはノード14、15を互いに接続する。従って、この場合のスイッチ13cの動作は実施の形態1におけるスイッチ13aの動作と同じである。一方、回路1aから得られるプリチャージバンク信号φPCGBANKが活性化していれば、スイッチ45によってノード14、43が互いに接続される。ラッチ回路46はノード43に与えられた値をラッチして、バンクリフレッシュ信号φBANKREFの活性化を契機としてノード16に与える。

【0083】一方のバンクがプリチャージされる場合には、回路1aから出力されるプリチャージ信号φPCG

が活性化する。プリチャージされるべきバンクを選択してリフレッシュを行うために、プリチャージコマンド入力時のバンクアドレスBAがラッチされる。プリチャージ信号φPCGを受けてメモリアレイ制御回路5はメモリアレイMEMを制御する。

【0084】プリチャージバンク信号φPCGBANKはプリチャージが行われるべきバンクの設定を許可する。図2に例示される構成では、プリチャージ信号φPCGが活性化するような制御信号/CS、/RAS、/CAS、/WEの設定（それぞれ“L”、“L”、“H”、“L”を採る）に加え、内部アドレス信号int. Add<10>が“L”を採ることによって1バンクプリチャージコマンドが指示され、プリチャージバンク信号φPCGBANKが活性化する。

【0085】一方、プリチャージバンク信号φPCGBANKは1バンクプリチャージコマンドが入力する1サイクル期間しか活性化されない。従ってラッチ回路46の機能により、一旦ある1バンクプリチャージコマンドが入力された時に内部バンクアドレスint. BAを設定すれば、次に1バンクプリチャージコマンドが与えられるまでその設定された値が保持される。

【0086】内部アドレス信号int. Add<10>が“H”であれば上記の制御信号の設定によってプリチャージ信号φPCGが活性化しても動作信号φNORMALは活性化しているが、内部アドレス信号int. Add<10>が“L”であれば動作信号φNORMALは非活性となる。従って、プリチャージを行う際には、内部アドレス信号int. Add<10>を“H”、“L”にすることにより、それぞれバンクアドレスBAをスイッチ45がノード15、43へ伝達する事になる。

【0087】その後、通常のオートリフレッシュコマンドあるいはセルフリフレッシュコマンドが入力された場合は、実施の形態1あるいは実施の形態2と同様にして両バンクが交互にリフレッシュされる。

【0088】次に本発明に特有の動作、即ち1バンクのみのリフレッシュ動作について説明する。1バンクリフレッシュコマンドは例えば以下のように制御信号を設定することで与えられる。即ち、/CS=“L”、/RAS=“L”、/CAS=“L”、/WE=“L”、Add<7>~Add<10>=“H”であり、オートリフレッシュの場合にはCKE=“H”、セルフリフレッシュの場合にはCKE=“L”に設定される。実施の形態1の場合と同様に、回路1aがリフレッシュ信号φREF、リフレッシュクロックφREFCLK、バンクリフレッシュ信号φBANKREFを、特にセルフリフレッシュの場合には更にセルフリフレッシュ信号φSREFをも活性化させる。そしてバンクリフレッシュ信号φBANKREFが活性化するのでラッチ回路46にラッチされていたデータ、すなわち、1バンクプリチャージコ

マンド入力時に設定されたバンクアドレスBAがリフレッシュバンク設定信号φREFADDとして出力する。

【0089】このようにして実施の形態3では、1バンクのみのリフレッシュコマンド入力時にリフレッシュの対象となるバンクを指定するのではなく、活性化されていないバンクを選択してリフレッシュを行うので、実施の形態1と同じ効果を得ることができる上、1バンクリフレッシュコマンド入力時にはプリチャージされているバンクを選択してリフレッシュすることにより、毎回バンクアドレスを指定する必要がなくなる。

【0090】実施の形態4、実施の形態1乃至3においては、SDRAMを構成するバンクの数に応じてリフレッシュカウンタを設けていた。例えば、4個のバンクから構成されるSDRAMにおいて、これまでの実施例のように各バンクごとにリフレッシュアドレスカウンタを設けるとレイアウト面積が増大すると同時に信号の制御も複雑になる。

【0091】そこで、2N（N≧2）バンクから構成されるSDRAMにおいては、各バンクに対して独立にリフレッシュアドレスカウンタを設けるのではなく、2つのリフレッシュアドレスカウンタのみを設け、バンクアドレスの最上位のビットに対応して分類され、それぞれN個のバンクからなる2つのバンク群のいずれかのみをリフレッシュすることにより、一群のN個のバンクのリフレッシュ期間中に他群のN個のバンクのデータにアクセスを可能とする。

【0092】図9は4個のバンクBank0、Bank1、Bank2、Bank3から構成されるSDRAMを2ビットのバンクアドレスBA<0:1>で指定する態様を示す概念図である。バンクアドレスBAの上位ビットBA<1>の値が“0”、“1”を採ることに対応して、それぞれ第1のバンク群Bank0、Bank1及び第2のバンク群Bank2、Bank3が指定される。

【0093】第1及び第2のバンク群に対してそれぞれ1つのリフレッシュアドレスカウンタを設ける。これにより、レイアウト面積の増大を抑えることができると同時に信号の制御も容易となり、一方のバンク群の2つのバンクのリフレッシュ動作中に、他方のバンク群の2つのバンクへアクセスすることが可能となる。

【0094】図10は本発明の実施の形態4にかかるSDRAMの制御部の構成を示すブロック図である。図1に示された実施の形態1にかかるSDRAMの制御部の構成との相違点は、バンクアドレスバッファ4が一對のバンクアドレスバッファ4a、4bに置換され、更にスイッチ13aがバンクアドレスバッファ4a、4bにそれぞれ対応するスイッチ13d、13eに置換された点と、リフレッシュアドレスカウンタ6a、6bをそれぞれリフレッシュアドレスカウンタ6c、6dに置換した点である。但し、メモリアレイは図9に示されるような

4つのバンクで構成されているものとする。

【0095】リフレッシュアドレスカウンタ6cは第1のバンク群に属する2つのバンクBank 0, Bank 1におけるリフレッシュアドレスを出力し、リフレッシュアドレスカウンタ6dは第2のバンク群に属する2つのバンクBank 2, Bank 3におけるリフレッシュアドレスを出力する。

【0096】リフレッシュアドレスカウンタ6c, 6dはいずれも図16に示されるように直列に接続されたバンクアドレスカウンタ及びアドレスカウンタからなる。バンクアドレスカウンタはリフレッシュクロックREFCLKを入力し、その結果従来の技術と同様にリフレッシュアドレスが発生する。従って、第1のバンク群においては2つのバンクBank 0, Bank 1を交互に、第2のバンク群においては2つのバンクBank 2, Bank 3を交互に、リフレッシュするようにカウントアップがなされる。

【0097】スイッチ13dはスイッチ17と同様に機能する。バンクアドレスバッファ4aに入力されたバンクアドレスBA<0>がノード14aへ内部バンクアドレスint. BA<0>として伝達されており、動作信号φNORMALが活性化している場合にはこれをノード15aへ伝達する。

【0098】スイッチ13eは実施の形態1に示されたスイッチ13aと同様に機能する。バンクアドレスバッファ4bに入力されたバンクアドレスBA<1>がノード14bへ内部バンクアドレスint. BA<1>として伝達されており、動作信号φNORMALが活性化している場合にはこれをノード15bへ伝達し、バンクリフレッシュ信号φBANKREFが活性化している場合にはこれをノード16へリフレッシュバンク設定信号φREFADDとして伝達する。

【0099】動作信号φNORMALが活性化している場合には、内部バンクアドレスint. BA<0:1>は内部アドレスint. Add<0:10>と共にメモリアレイMEMへ与えられ、4つのバンクのいずれかの1行が指定される。

【0100】通常のオートリフレッシュコマンドが入力された場合は、リフレッシュ信号φREF及びリフレッシュクロックφREFCLKが活性化される。実施の形態1におけるリフレッシュ信号φREFの機能と同様にリフレッシュアドレスカウンタ6c, 6dのいずれか一方が選択され、その出力たるリフレッシュ行信号Ref. Add_C<0:10>及びリフレッシュバンク信号Ref. BA_C、あるいはリフレッシュ行信号Ref. Add_D<0:10>及びリフレッシュバンク信号Ref. BA_DがメモリアレイMEMへと与えられる。リフレッシュバンク信号Ref. BA_C, Ref. BA_Dはそれぞれ第1バンク群及び第2バンク群においてリフレッシュの対象となるバンクを指定し、従

来の技術のリフレッシュバンク信号Ref_Add<11>に対応する。従って、指定された1つのバンクについて1行分のメモリセルがリフレッシュされる。

【0101】リフレッシュ信号φREFが活性化する毎に、スイッチ11, 12はリフレッシュアドレスカウンタ6c, 6dを交互に選択し、リフレッシュクロックφREFCLKは選択された方のリフレッシュアドレスカウンタをカウントアップする。カウントアップされる毎にリフレッシュバンク信号Ref. BA_C, Ref. BA_Dの値が遷移するので、4つのバンクはBank 0, Bank 2, Bank 1, Bank 3に選択される事になる。

【0102】また、通常のセルフリフレッシュコマンドが入力された場合には、リフレッシュ信号φREF、リフレッシュクロックφREFCLKに加えてセルフリフレッシュ信号φSREFも活性化する。通常のオートリフレッシュの場合と同様に4つのバンクのうちの1つのバンクが指定され、そのバンクの1行のメモリセルのリフレッシュが開始する。セルフリフレッシュ信号φSREFの活性化に基づいてセルフリフレッシュタイマ7によって継続信号φTIMERが活性化し、リフレッシュ信号φREF、リフレッシュクロックφREFCLK及びセルフリフレッシュ信号φSREFの活性化が継続され、セルフリフレッシュ終了のコマンドが入力されるまで4つのバンクが順次リフレッシュの対象となりつつ1行毎のリフレッシュが繰り返される。

【0103】次に本発明に特有の動作、即ち一方の2バンクのみをリフレッシュする動作について説明する。一方の2バンクのみのオートリフレッシュコマンド（以下「2バンクオートリフレッシュコマンド」）は例えば以下の様に制御信号を設定することで与えられる。即ち、/CS="L"、/RAS="L"、/CAS="L"、/WE="L"、CKE="H"、Add7~Add10="H"である。このときバンクアドレスBA<1>の値を設定する。

【0104】2バンクオートリフレッシュコマンドが入力された場合は、回路1aの出力するリフレッシュ信号φREF、リフレッシュクロックφREFCLKのみならず、バンクリフレッシュ信号φBANKREFが活性化する。従って、スイッチ11, 12を制御するリフレッシュバンク設定信号φREFADDとしてバンクアドレスBA<1>の値が採用される。

【0105】スイッチ11, 12はバンクリフレッシュ信号φBANKREFが活性化している場合にはリフレッシュバンク設定信号φREFADDの値に従ってリフレッシュアドレスカウンタ6c, 6dのいずれか一方が選択される。

【0106】ところがバンクリフレッシュ信号φBANKREFは2バンクオートリフレッシュコマンド入力時の1サイクル期間のみ活性化され、またリフレッシュ信

号REF、リフレッシュクロックREFCLKもこの1サイクル期間のみ活性化し、リフレッシュアドレスカウンタ6c、6dの一方をカウントアップする。従って2バンクリフレッシュコマンドが入力された場合に指定されるバンクアドレスBA<1>を固定することにより、リフレッシュの対象として4つのバンクが順次更新されるのではなく、一方のバンク群に属する2つのバンクを交互にリフレッシュし、他方のバンク群に属する2つのバンクにアクセスすることができる。

【0107】また、一方の2バンクのみのセルフリフレッシュ（以下「2バンクセルフリフレッシュコマンド」）は、例えば以下の様に制御信号を設定することで与えられる。即ち、/CS="L"、/RAS="L"、/CAS="L"、/WE="L"、CKE="L"、Add7~Add10="H"である。このときバンクアドレスBA<1>の値を設定する。

【0108】2バンクセルフリフレッシュコマンドの入力により、2バンクオートリフレッシュコマンドが入力された場合に加えて更にセルフリフレッシュ信号SR EFも活性化する。そして、オートリフレッシュの場合と同じようにして指定したバンクの1行のメモリセルがリフレッシュされる。継続信号TIMERによってリフレッシュが繰り返されるが、セルフリフレッシュ終了のコマンドが入力されるまでの間、2バンクセルフリフレッシュコマンドの入力時におけるリフレッシュバンク設定信号REFADDの値は有効であるので、一方のバンク群に属する2つのバンクにおいて交互にリフレッシュが行われる事になる。

【0109】以上の様に本実施の形態では、従来のリフレッシュ動作と類似する2つのバンクの間の交互のリフレッシュを、複数のバンク群の一つにおいて実行する一方、複数のバンク群の他においてアクセスが可能となる。しかも実施の形態1のようにバンク毎にリフレッシュアドレスカウンタを設ける場合と比較すると、チップ面積を抑えることができる。

【0110】実施の形態5。実施の形態1乃至4では、あるバンクのデータにアクセスしている期間中に他のバンクをリフレッシュすることが可能となる例を示した。しかし、リフレッシュ期間中のバンクがアクセスされると正常なリフレッシュ動作及び正常な書き込み・読み出し動作を行うことができない。そこで、あるバンクがリフレッシュされているにも拘らず、そのリフレッシュ中のバンクがアクセスされた場合にはこれを無効とすることが望ましい。実施の形態5では上記の目的のために、メモリアレイ制御回路5が活性化信号ACTを受けてもこれを無視させるためのbusy信号をメモリアレイ制御回路5へ与える。

【0111】図11は本発明の実施の形態5にかかるSDRAMの制御部の構成を示すブロック図である。本実施の形態は実施の形態1乃至4のいずれにも適用できる

が、図11には実施の形態1に示されるSDRAMに対して適用した場合が例示されている。

【0112】記述のように、1バンクリフレッシュコマンドが入力された場合には、リフレッシュバンク設定信号REFADDがリフレッシュされるバンクを決定する。その後、リフレッシュされているバンクがアクセスされた場合には、活性化信号ACTが活性化し、リフレッシュバンク設定信号REFADDと同じ値の内部バンクアドレスint. BAに基づいてメモリアレイ制御回路5がリフレッシュされているバンクを活性化しようとする。

【0113】このような場合にはリフレッシュ動作を妨げると同時に正常なデータの書き込み及び読み出し動作を行うことができない。そこで、リフレッシュ期間中、すなわちリフレッシュ信号REFが活性化されている期間中に、リフレッシュバンク設定信号REFADDと内部バンクアドレスint. BA（本実施の形態を実施の形態4に適用する場合にはint. BA<1>）が同じバンクアドレスを示す時に活性化するbusy信号BUSYを出力するためにEx-NORゲート及びANDゲートが設けられている。

【0114】メモリアレイ制御回路5はbusy信号BUSYを入力し、これが活性化している場合には活性化信号ACTの活性化を無視する。これによって、一方のバンクのみがリフレッシュされている時にリフレッシュ中のバンクがアクセスされた場合でも、正常なリフレッシュ動作が行われる。

【0115】勿論busy信号BUSYを外部に出力して活性化信号ACTの活性化にも拘らずアクセスできなかったということを外部から認識することができる。

【0116】

【発明の効果】以上のように、本発明によれば、複数バンク構成のSDRAMにおいて、あるバンクのデータにアクセスしている期間中に他のバンクをリフレッシュすることが可能となるため、リフレッシュ動作を必要としないSRAMのような使い方が可能となる効果がある。

【0117】この発明のうち請求項1にかかる同期型半導体装置によれば、リフレッシュ動作は特殊リフレッシュ動作と、そうでない通常リフレッシュ動作の2つについて行うことができる。通常リフレッシュ動作ではバンク群毎に対応するリフレッシュアドレスカウンタが交互に選択され、その度にリフレッシュアドレスが更新されるので、異なるバンク群の間を交互にリフレッシュすることができる。更に、特殊リフレッシュ動作では指定されたバンク群に対応するリフレッシュアドレスカウンタのみが更新されるので、指定されたバンク群において異なる行のリフレッシュを順次実行することができる。

【0118】この発明のうち請求項2にかかる同期型半導体記憶装置によれば、モードセット時に一旦リフレ

シュすべきバンクを指定しておけば、これがラッチ回路において保持されているので、特殊リフレッシュ動作において毎回バンクアドレスを指定する必要がない。

【0119】この発明のうち請求項3にかかる同期型半導体記憶装置によれば、プリチャージされるべきバンクがリフレッシュすべきバンクとしてラッチ回路に保持されるので、特殊リフレッシュ動作において毎回バンクアドレスを指定する必要がない。

【0120】この発明のうち請求項4にかかる同期型半導体記憶装置によれば、リフレッシュアドレスカウンタをバンク毎に設ける必要はなく、2つで足りる。そして各バンク群における複数の前記バンクは、従来のリフレッシュ動作によってリフレッシュすることができる。

【0121】この発明のうち請求項5にかかる同期型半導体記憶装置によれば、リフレッシュ期間中のバンクがアクセスされて正常なリフレッシュ動作及び正常な書き込み・読み出し動作を行うことができない、という事態を回避することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1にかかるSDRAMの制御部の構成を示すブロック図である。

【図2】 回路1aの内部構成を例示する回路図である。

【図3】 本発明の実施の形態1の動作を例示するタイミングチャートである。

【図4】 本発明の実施の形態2にかかるSDRAMの制御部の構成を示すブロック図である。

【図5】 回路1aに追加されて回路1bを構成する回

路を示す回路図である。

【図6】 スイッチ13bの構成を示す回路図である。

【図7】 本発明の実施の形態3にかかるSDRAMの制御部の構成を示すブロック図である。

【図8】 スイッチ13cの構成を示す回路図である。

【図9】 4個のバンクから構成されるSDRAMを2ビットのバンクアドレスBA<0:1>で指定する態様を示す概念図である。

【図10】 本発明の実施の形態4にかかるSDRAMの制御部の構成を示すブロック図である。

【図11】 本発明の実施の形態5にかかるSDRAMの制御部の構成を示すブロック図である。

【図12】 従来の技術を示すタイミングチャートである。

【図13】 従来の技術を示すタイミングチャートである。

【図14】 従来の技術を示すタイミングチャートである。

【図15】 従来の技術を示すブロック図である。

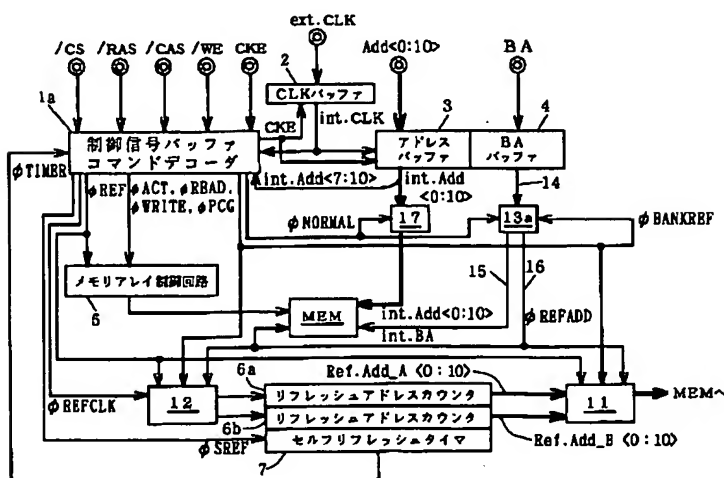
【図16】 従来の技術を示すブロック図である。

【図17】 従来のセルフリフレッシュの様子を示す概念図である。

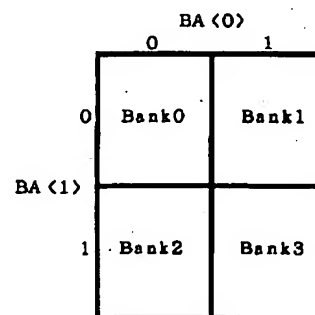
【符号の説明】

6a～6d リフレッシュアドレスカウンタ、11, 12 スイッチ、42, 46 ラッチ回路、φREF リフレッシュ信号、φBANKREF バンクリフレッシュ信号、φREFCLK リフレッシュクロック。

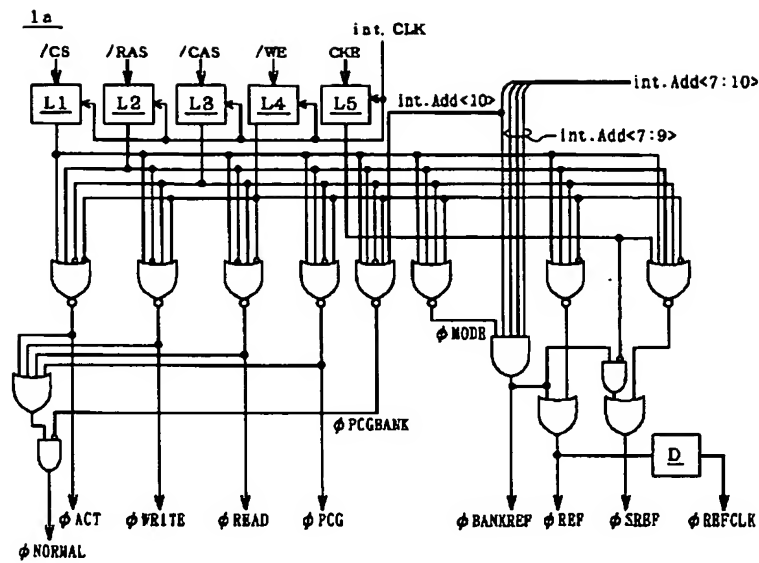
【図1】



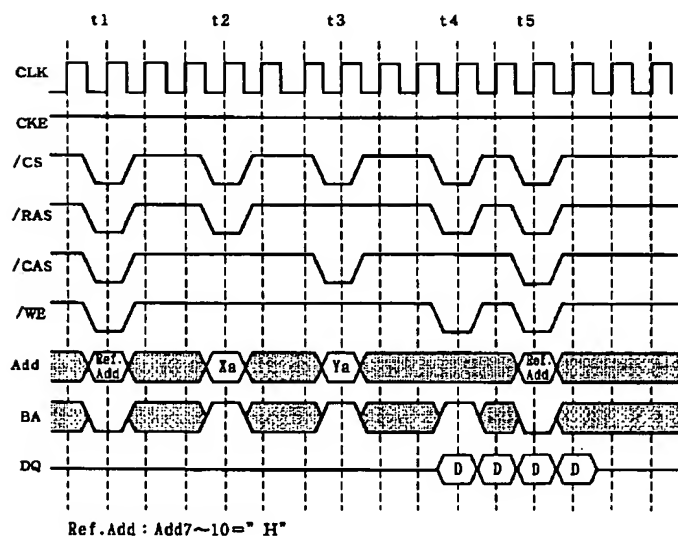
【図9】



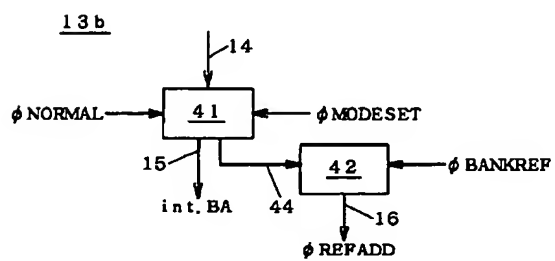
【図2】



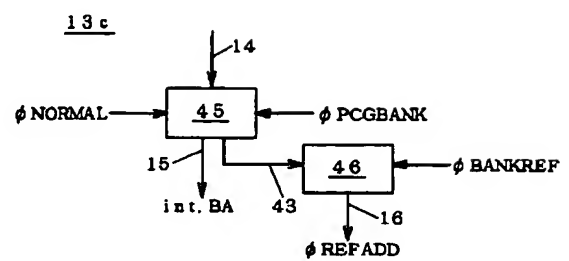
【図3】



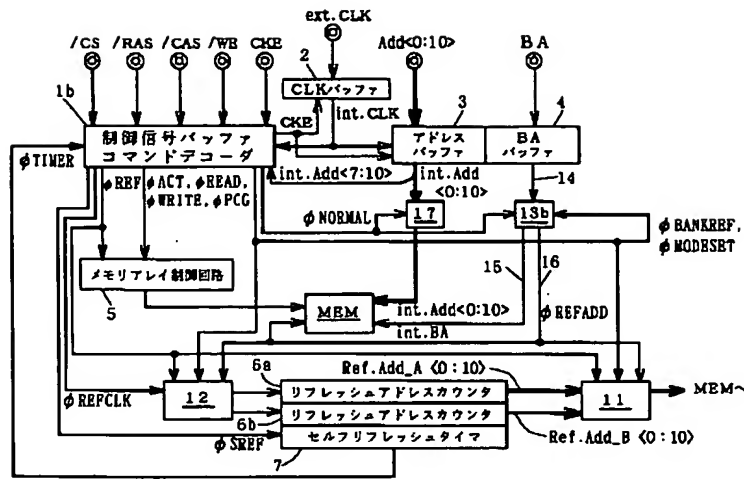
【図6】



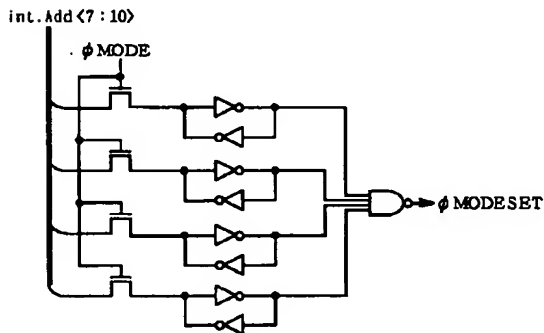
【图8】



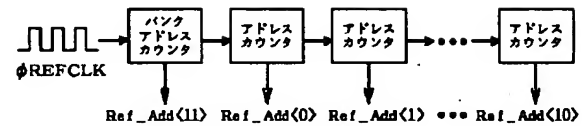
【図4】



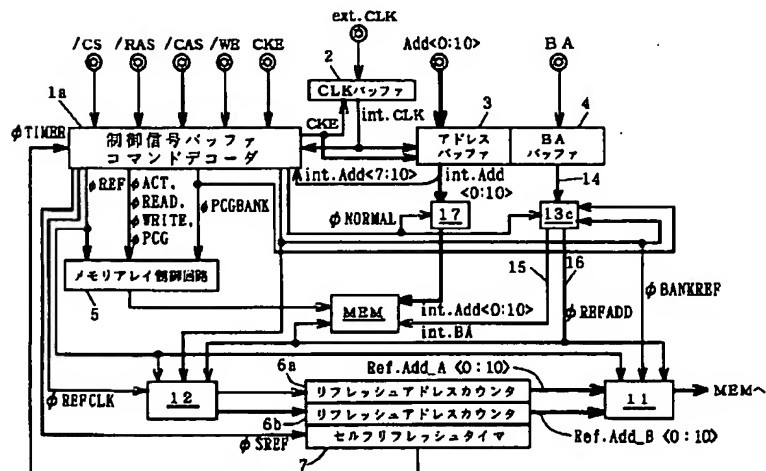
【図5】



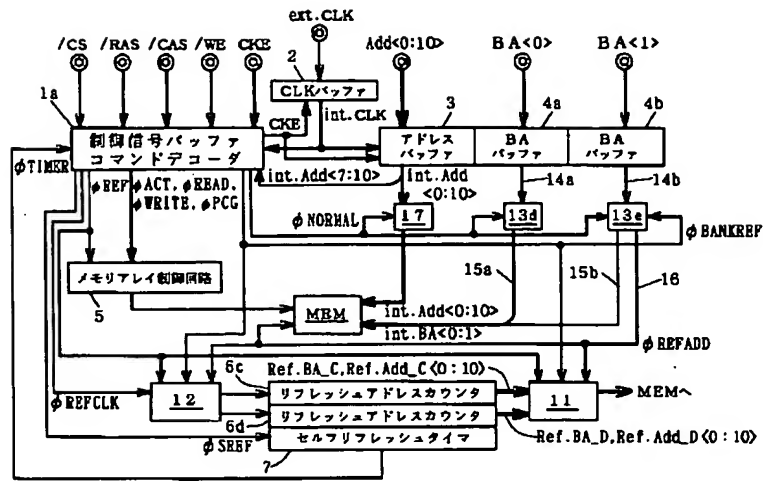
【図16】



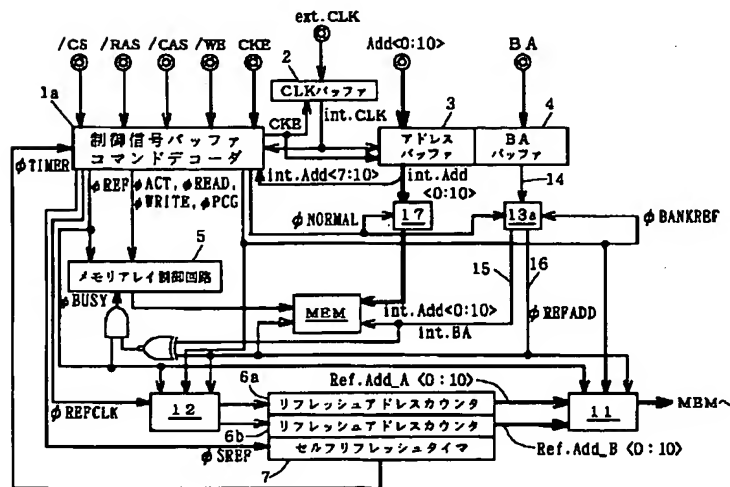
【図7】



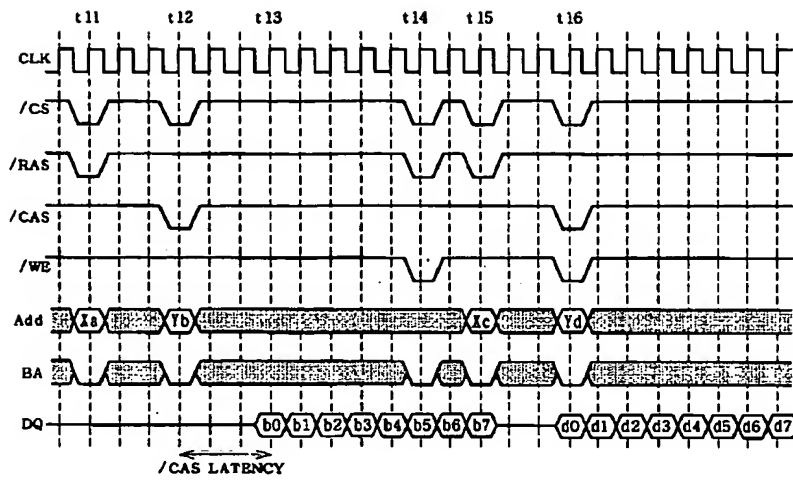
【図10】



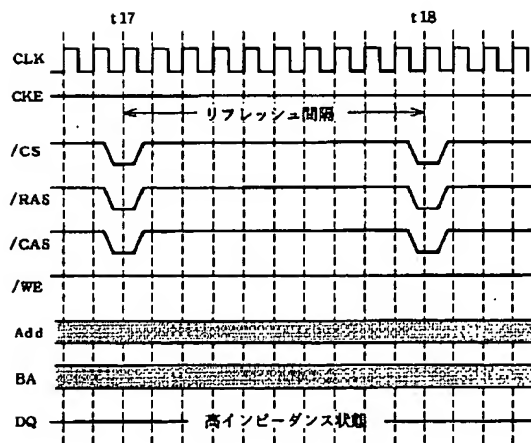
【図11】



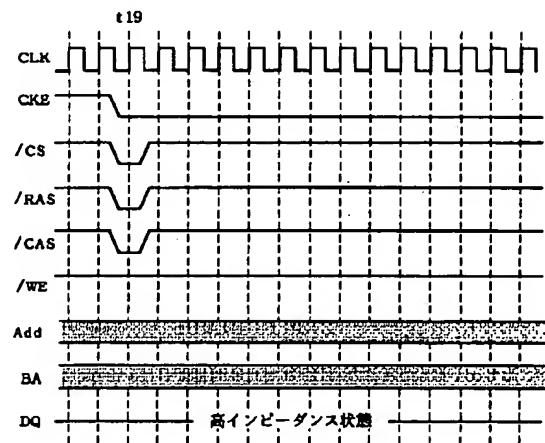
【図12】



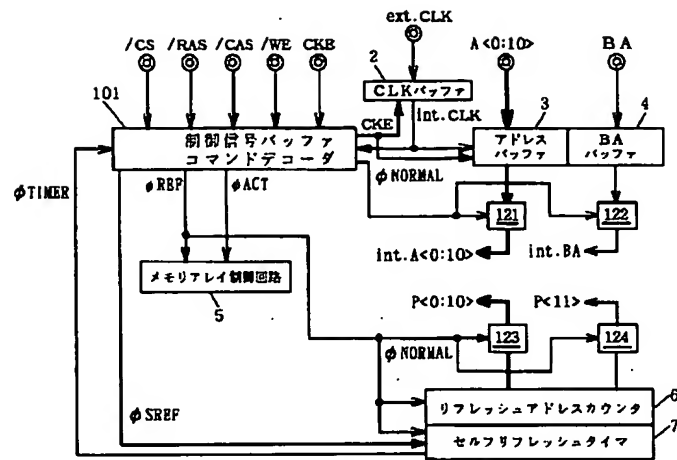
【図13】



【図14】



【図15】



【図17】

